

应用笔记

Application Note

文档编号: **AN1160**

G32R501 硬件设计指南

版本: **V1.0**

1 引言

G32R501 是极海面向实时控制应用研发的高性能微控制器，内置基于 Arm v8.1-M 架构的 Cortex-M52 微处理器，支持双核并行运行，实现高效协同处理。其卓越性能适用于运动控制、光伏逆变、数字电源及车载充电机（OBC）等应用场景。

本应用报告为使用该器件进行硬件开发提供了指导，重点涵盖系统级硬件设计、器件选型、原理图设计和布局建议。它是硬件开发人员的基本指南，有助于简化设计过程，同时降低设计出错的可能性。讨论的主要主题包括：电源要求、通用输入/输出（GPIO）连接、模拟输入和 ADC、时钟生成和要求以及 cJTAG/JTAG 调试等。

目录

1	引言	1
2	G32R501 介绍	3
3	原理图设计参考	4
3.1	模拟 I/O	4
3.2	数字 I/O	5
3.3	电源系统设计	8
3.4	XRSn 和复位系统	11
3.5	时钟系统设计	11
3.6	调试与仿真	12
3.7	未使用的引脚处理	14
4	PCB 布局设计参考	16
4.1	布局设计介绍	16
4.2	建议的电路板布局布线	17
4.3	元器件的放置	17
4.4	接地层	18
4.5	模拟信号与数字信号设计	18
4.6	信号布线的引线和过孔设计	19
4.7	散热处理注意事项	20
5	ESD 和 EOS、EMI/EMC 注意事项	21
5.1	静电放电	21
5.2	电磁兼容性和电磁干扰	21
6	版本历史	24

2 G32R501 介绍

G32R501 微控制器最高运行频率可达 250MHz，实现了 Arm Rv8-M 的自定义数据路径扩展（CDE），搭载基于矢量扩充方案（MVE）的 Helium™技术，其通过创新的 Zidian 数学指令拓展单元，使得处理性能得到进一步提升。Zidian 数学指令拓展单元可以快速执行包含变换和扭矩环路计算中常见三角运算的算法，以及可以降低编码应用中常见复杂数学运算的延迟。

G32R501 内部支持最高 640KB 的 Flash，这些 Flash 分为 512KB 和 128KB 两个独立存储体，支持并行编程和执行。此外，通过内置 CFGSMS，可对片上 128KB 的 SRAM 存储进行高效的系统分区，每个逻辑块的大小为 8KB（共 8 个），可配置做不同类型的用法，如 ITCM、DTCM 和 SRAM。此外，G32R501 还支持 Flash ECC、RAM 奇偶校验和安全属性配置。

G32R501 片内集成了高性能模拟单元，可以进一步提升系统控制性能。三个独立的 12 位 ADC 可准确、高效地采集&处理多个模拟信号，从而提高系统吞吐量。7 个比较器子系统可以通过跳闸功能对输入电压电平进行持续监控。

G32R501 包含性能领先的控制外设（具有独立于频率的 PWM 和 CAP/HRCAP），可对系统进行出色的控制。内置的 4 通道 SDF 适配外部隔离 Σ - Δ 调制器。

G32R501 内置丰富的通信端口，包括 SPI、UART、I2C、LIN 和 CAN，并提供了多路复用选项，可灵活满足各种应用的通信需求。G32R501 器件还集成完全符合标准的 PMBus 接口以及高速 QSPI 接口，支持高效数据传输。此外，G32R501 还支持 JTAG、cJTAG 以及 SWD 调试接口，多种调试模式可适配不同系统环境及性能要求。

G32R501 支持 -40℃~105℃/125℃ 的环境工作温度，提供 QFN56、LQFP64、LQFP80、LQFP100 等多种封装供用选择。

3 原理图设计参考

以下章节概述了使用 G32R501 器件设计初始原理图的关键步骤，涵盖封装选型、器件功能与外设集成，以及提升系统和器件性能的注意事项。

3.1 模拟 I/O

本章节主要介绍 G32R501 的模拟信号关键注意事项。它介绍了 ADC 引脚选择和模拟基准等关键信息。

3.1.1 模拟外设

G32R501 包含不同数量的以下模拟外设：

- 12 位模数转换器 (ADC)
- 温度传感器
- 缓冲数模转换器 (DAC)
- 比较器 (COMP)

3.1.2 选择模拟引脚

与 GPIO 引脚一样，模拟外设提供了灵活的引脚使用。缓冲 DAC 输出、COMP 输入、数字输入与 ADC 输入进行多路复用。此外，所有 ADC 都具有到 VREFLO 的内部连接，允许偏移自校准。

在选择模拟引脚连接时，需考虑每个引脚支持的外设功能。部分引脚带有比较器的模拟输入使得这些模拟信号能够快速触发 PWM（作为故障信号）或检测过零。可同时采样多个模拟信号以提高效率。例如，可将三个同步模拟信号分别连接至 ADC-A、ADC-B 和 ADC-C，实现同时采样。

G32R501 的模拟引脚与数字 GPIO 复用，这些称为 AIO（模拟输入输出），它们是只能在输入模式下运行的多路复用模拟引脚。默认情况下，当 GPIO 处于高阻抗状态（高阻态）时，它们将用作模拟引脚。需注意，如果具有尖锐边缘的数字信号连接到 AIO 引脚，可能会对相邻模拟信号产生串扰，影响信号完整性。

3.1.3 内部与外部模拟基准

板载 ADC 使用 VREFHix 和 VREFLOx 作为电压基准。对于大多数应用，内部电压基准可提供足够高的性能。因此，VREFHix 引脚电压由内部带隙电压基准驱动，可以选择该电压基准的电压为 1.65V 输出（0V 至 3.3V）或 2.5V 输出（0V 至 2.5V）。如果所实施系统的设计要求更高的精度，则可以改用外部基准电压。

当使用内部基准模式时，不应在 VREFHix 引脚上放置额外的电压源，因为器件本身会将电压驱动到该引脚上。在外部基准模式下，需通过外部电路（如电压基准芯片或高速运算放大器）为

VREFH_{ix} 引脚提供 2.4V 至 VDDA 的基准电压。无论采用那种模式，均需在 VREFH_{ix} 引脚上连接一个 2.2μF 电容器以确保稳定性（多个 VREFH_{ix} 链接在同一引脚，电容对应增加）。

3.1.4 ADC 输入

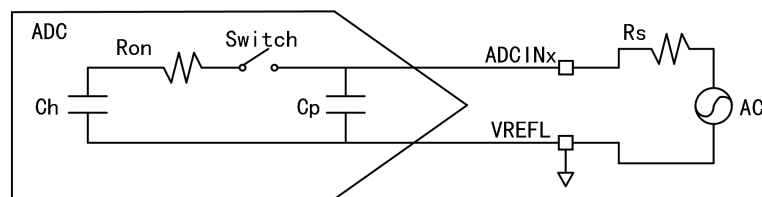
为确保 ADC 的正常性能，需对其输入阻抗和带宽要求进行正确设计与评估。不满足这些要求可能导致存储器的串扰以及采样保持（S+H）电路的显著稳定误差。

图 3 为 ADC 输入模型，ADC 输入模型包含以下关键参数：

- Cp: 寄生输入电容
- Ron: 采样开关电阻
- Ch: 采样电容
- Rs: 标称源阻抗

G32R501 数据表中记录了 ADC 每通道寄生电容，这些寄生电容有助于电路设计优化以满足性能要求。此外，可通过调整 ACQPS 或降低采样频率，或结合两者来调整每个 SOC 的采集窗口持续时间。

图 1 ADC 输入模型



3.2 数字 I/O

本节介绍器件中存在的数字信号，从 GPIO 到集成通信和控制外设支持，范围十分广泛。

3.2.1 通用输入/输出

G32R501 的 I/O (GPIO) 引脚可以配置为典型 GPIO 或外设 I/O 信号，外设信号与通用输入/输出 (GPIO) 信号可以多路复用。复位时，GPIO 引脚配置为输入。对于特定的输入，用户还能选择输入限定周期的数量来滤除不必要的噪声干扰。

GPIO 模块包含输出 X-BAR，其允许将各种内部信号路由到 GPIO 多路复用器位置中的 GPIO 上，并表示为 OUTPUTXBARx。GPIO 模块还包含输入 X-BAR，用于将来自任何 GPIO 输入的信号路由到不同的 IP 块，例如 ADC、CAP、PWM 和外部中断。

每个 GPIO 引脚支持最大 6mA 的灌电流和源电流，最大输出频率可达 60MHz，上升/下降时间为 8ns。

图 2 通用输出时序



3.2.2 集成外设和 X-BAR

由上所述，每个外设信号都被多路复用到许多 GPIO 引脚，以简化设计和布局过程并实现最大的灵活性。有关各个 GPIO 的详细外设配置，可参阅 G32R501 的引脚属性表。

输入 X-BAR 用于将信号从 GPIO 路由到许多不同的 IP 块，例如 ADC、CAP、PWM 和外部中断等。输出 X-BAR 具有八个输出，它们被路由到 GPIO 模块。

3.2.3 控制外设

G32R501 器件包含不同数量的以下控制外设：

- (1) 捕获器 (CAP)
- (2) 高分辨率捕获器 (HRCAP6-HRCAP7)
- (3) 脉冲宽度调制器 (PWM)
- (4) 高分辨率脉冲宽度调制器 (HRPWM)
- (5) 正交编码器脉冲 (QEP)
- (6) Σ - Δ 滤波器模块 (SDF)

对于一些低电平模拟、高速数字和高功率开关的控制外设，其性能会受到电路板设计的极大影响。请务必遵循下面 PCB 布局指南，以减少不必要的噪声并更大限度地提高性能。

Σ - Δ 滤波器模块 (SDF) 在 G32R501 器件上可用，与外部 Σ - Δ 调制器一起用于电机控制应用中的电流测量和旋转变压器位置解码。SDF 通过其 SDF 时钟输入引脚使用外部时钟，如果时钟噪声特别大，其运行容易被破坏。应该对这些信号采取特殊预防措施，以确保信号干净且无干扰，满足器件特定数据表中详述的 SDF 时序要求。因此，建议使用串联端接电阻器来应对由于时钟驱动器的任何阻抗不匹配而引起的振铃，并将这些引线与其他高噪声信号隔开。这有助于确保 SDF 功能正常运行。使用 SDF 同步 GPIO (SYNC) 选项 (将时钟引脚与 PLLRAWCLK 同步) 可以提供保护并防止 SDF 操作受到偶尔出现的时钟干扰的影响。应该注意的是，它受到的保护是有限的，因此确保时钟稳定是 SDF 正常运行的重中之重。

3.2.4 通信外设

G32R501 器件包含不同数量的以下通用外设：

- (1) 控制器局域网 (CAN)
- (2) 内部集成电路 (I2C)

- (3) 电源管理总线(PMBus)接口
- (4) 串行通信接口(UART)
- (5) 串行外设接口(SPI)
- (6) 本地互连网络(LIN)
- (7) 四线串行接口(QSPI)

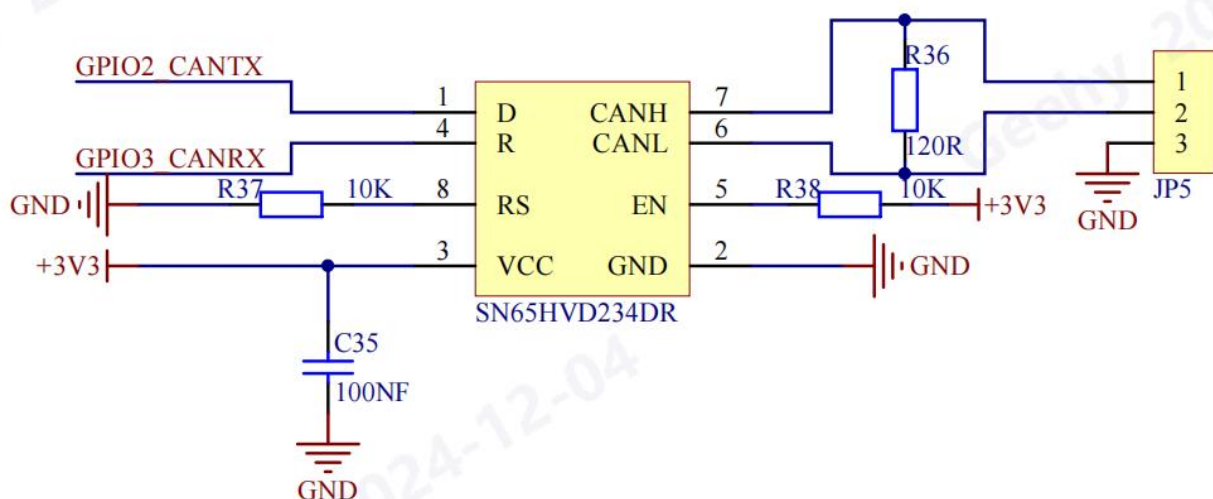
考虑到这些外设的特性及其不同的通信方式，系统设计时必须充分考虑所需支持的通信外设。板级接口（如 I2C、PMBus 和 SPI）需要与电路板上的其他元件连接，或者通过电路板与其他设备相连。由于这些驱动器通常直接运行，因此在设计时必须特别关注驱动能力和布线长度。这些因素与所选信号的频率密切相关。

在使用 CAN 通信时，建议在电路板上使用外部振荡器，而不是依赖内部振荡器。这是因为片上零引脚振荡器的精度可能无法满足 CAN 协议对位时间设置、比特率、总线长度和传播延迟等参数的要求。

对于 I2C 接口，建议在 SDA 和 SCL 引脚上使用外部上拉电阻器。上拉电阻过强（即阻值过小）会妨碍 I2C 引脚有效地被驱动至低电平，而上拉电阻过弱（即阻值过大）则会影响通信的速度。因此，选择上拉电阻的阻值时，应考虑功耗与速度之间的平衡。

CAN 和 LIN 接口可以连接两个或多个在不同处理器上运行的电路板。这些端口通常需要专用的收发器来转换电信号，以降低噪声并确保与其他设备上的端口进行通信。在使用通信收发器时，某些收发器可能需要在 MCU 的通信引脚上添加上拉电阻。可根据收发器的数据表验证该要求。

图 3 G32R501 EVAL 原理图中的 CAN 收发器



UART 是一种灵活的串行通信设备，支持全双工和半双工数据交换，兼容工业标准的 NRZ 异步串行数据格式。它提供宽范围的波特率选择，并可支持多处理器通信模式（需配合地址帧等协议）。

该模块中的寄存器为 16 位宽度，但仅低 8 位（位 7-0）有效。访问寄存器时，高位字节（位 15-8）始终读取为零，且对高位字节的写入操作无效。

3.2.5 引导 ROM 和外设引导

G32R501 Boot ROM 包含 Bootloader 程序，每次设备上电或复位时都会执行该程序。GPIO24（Boot 模式引脚 1）和 GPIO32（Boot 模式引脚 0）为 Boot 模式选择引脚。用户可以通过改变这些引脚的状态选择 Boot 模式。下表列出了 Boot 模式。

表格 1 器件默认引导模式

引导模式	GPIO24 (默认引导模式选择引脚 1)	GPIO32 (默认引导模式选择引脚 0)
UART/等待引导	0	1
CAN	1	0
Flash	1	1

默认引导模式引脚为 GPIO24（引导模式引脚 1）和 GPIO32（引导模式引脚 0）。如果用户在这些引脚上也使用外设，则可选择为引导模式引脚设置弱上拉，因此上拉可能会过驱动。在此器件上，客户可以通过对用户可配置的双代码安全模块（DCS）OTP 位置进行编程来更改出厂默认的引导模式引脚。

3.3 电源系统设计

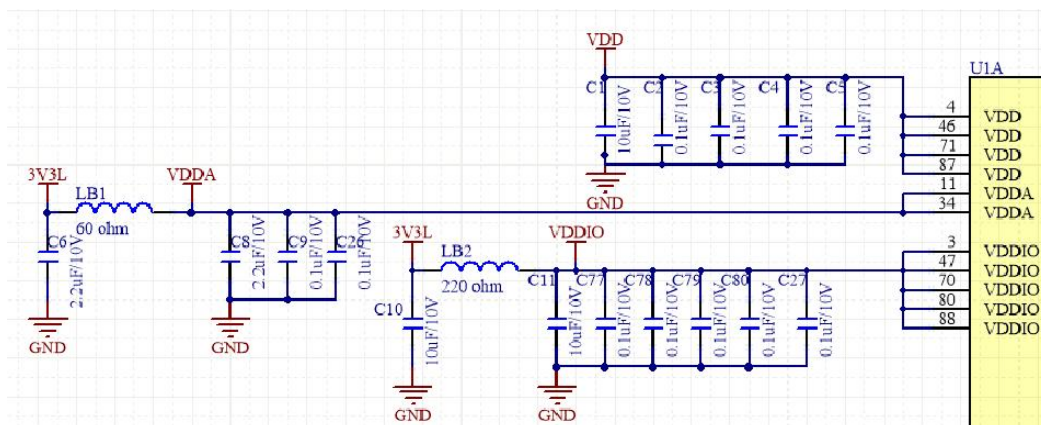
- G32R501 具有多个电源引脚，包括：
- 内核电源引脚 (VDD)
- 模拟电源引脚 (VDDA)
- 数字 I/O 电源引脚 (VDDIO)

为了使器件正常工作，所有可用的电源引脚都必须正确连接至适当的电源电压。这些电源包括 3.3V 和 1.1V。内核电源引脚 (VDD) 需要 1.1V 电压，可通过各种方式提供。1.1V 可由片上 LDO 生成或从外部提供，当环境温度处于常规工业范围（如-40℃至 105℃）时，内置 LDO 可直接为 VDD 供电，为确保芯片在 105℃至 125℃高温环境下的稳定运行，需采用外部 LDO 稳压器为 VDD 引脚提供独立供电，详见 3.3.3 章节。模拟 (VDDA)、数字 I/O (VDDIO) 需要外部供应 3.3V。

3.3.1 电源供电要求

确保器件电源稳定且抗噪声的一个重要方面是每个电源引脚都具有接地的去耦/旁路电容器。这些有助于限制噪声传播到系统的其他区域，尤其是低电平模拟信号。去耦电容器充当滤波器和临时储能器，可充分减少电源上的压降/尖峰，从而为器件提供更稳定的电源解决方案。

图 4 电源引脚上的去耦电容器



3.3.2 电源上电时序

芯片上电前,任何数字引脚上的电压不应该大于 **4.125V**, 同时也不应低于 **-0.3V**; 任何模拟引脚(包括 **VREFHix**)上的电压不应大于 **4.125V**, 也不应低于 **-0.3V**。

简单地说,需要在 **XRSn** 变为高电平后驱动信号引脚,且前提是所有 **3.3V** 电源轨连接在一起。及时 **VDDIO** 和 **VDDA** 未连接在一起,仍需要进行此时序控制。

注意:如果违反上述时序,电流可能会流经芯片中意外的寄生路径,从而对芯片造成故障或损坏。

电源轨的可接受上电序列汇总如下。此处的“上电”表示相关电源轨已达到建议的最低工作电压。不可接受的序列会导致可靠性问题,甚至损坏器件。为简化设计,建议将所有 **3.3V** 电源轨连接在一起,并严格按照电源引脚的上电序列进行操作。

表格 2 外部 VREG 序列摘要

情形	电源轨上电顺序			可接受
	VDDIO	VDDA	VDD	
A	1	2	3	是
B	1	3	2	是
C	2	1	3	-
D	2	3	1	-
E	3	2	1	-
F	3	1	2	-
G	1	1	2	是
H	2	2	1	-

表格 3 内部 VREG 序列摘要

情形	电源轨上电顺序		可接受
	VDDIO	VDDA	
A	1	2	是
B	2	1	-
C	1	1	是

注意：应当仅在 VDDA 达到建议的最低工作电压后才为器件上的模拟模块供电。

3.3.3 VDD 稳压器

内部 VREG 由 VDDIO 电源轨供电，将 VREGENZ 引脚连接至低电平可以生成为 VDD 引脚供电所需的 1.1V 电压。利用内部 VREG 可不再从外部为 VDD 供电，但为了确保 VREG 稳定性且避免瞬变，VDD 引脚上仍需要去耦电容器。

在使用内部 VREG 时，VDD 电源轨的两种建议电容器配置为：

- 在每个引脚上尽可能靠近器件放置一个连接到 VSS 的小型去耦电容器。此外，必须在 VDD 节点上放置一个连接到 VSS 的大容量电容。建议旁路电容器配置应为一个 20 μ F 电容器或两个并联的 10 μ F 电容器。
- 在所有 VDD 引脚上均匀分配连接到 VSS 的总电容（总电容除以可用 VDD 引脚的数量）。

当不使用内部稳压器时，去耦电容的值由系统稳压解决方案确定。

为确保芯片在 105℃至 125℃高温环境下的稳定运行，需按以下要求配置供电系统。

硬件配置：

- 将 VREGENZ 引脚使能信号置为高电平。
- 采用外部 LDO 稳压器为 VDD 引脚提供独立供电。

建议选用符合以下参数的线性稳压器：

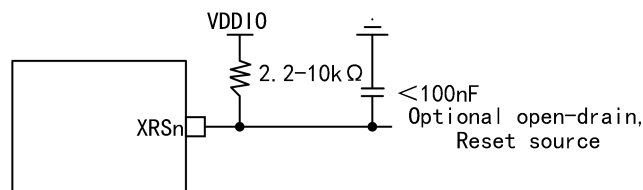
- 输出电压范围：1.1V-1.2V（可调或固定输出）
- 持续输出电流： $\geq 300\text{mA}$ （需预留 50%以上的余量。例如负载需求 180mA 时，建议选 300mA 及以上型号，避免瞬间电流冲击导致失效）
- 工作温度范围：-40℃至+125℃（需覆盖应用环境温度，高温工作环境下，需选择更高输出能力型号，避免因温度降额导致实际输出不足）
- 封装形式：高功耗场景建议采用具有良好散热性能的 HTSSOP 或 QFN 封装（通过计算热阻 $R_{\theta JA}$ 选择合适的低热阻封装）

注：实际选型时应结合系统散热条件进行热降额计算，若环境温度或瞬时负载波动较大，优先选择更高余量型号以确保 LDO 在高温环境下的长期可靠性。对于持续大电流应用场景，建议进行热仿真验证。

3.4 XRSn 和复位系统

XRSn 用作芯片的复位引脚。上电时芯片内置的 POR 电路会将 XRSn 引脚拉低，看门狗(WWDT、NMIWDT)复位也会拉低引脚，外部电路可能驱动引脚使器件复位生效。推荐在 XRSn 和 VDDIO 之间放置一个阻值为 $2.2\text{k}\Omega$ 至 $10\text{k}\Omega$ 的电阻；在 XRSn 和 VSS 之间放置一个小于 100nF 的电容进行噪声滤除。当看门狗复位生效时，这些值允许看门狗在 512 个 OSCCLK 周期内正确地驱动 XRSn 引脚至 VOL。图 5 显示了推荐的复位电路。

图 5 复位电路



3.5 时钟系统设计

正确的时钟生成对于系统正常运行至关重要，在实时控制系统中尤其如此。G32R501 提供了灵活的时钟生成选项，允许用户根据其特定的系统要求来调整器件。该芯片内置两个 10MHz 的无引脚振荡器，支持片上晶体振荡器和外部时钟输入，并具有一个片上锁相环 (PLL)。虽然内部时钟源的性能相当不错，但用户可以选择使用外部时钟源来满足更精确的时钟要求。G32R501 支持三种类型的外部时钟方法：单端 3.3V 外部振荡器、外部晶体和外部谐振器。

3.5.1 内部与外部振荡器

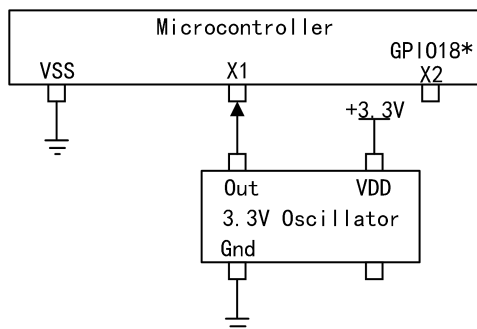
在设计过程中需要做出一个重要决定，那就是选择使用板载时钟选项还是将外部振荡器整合到系统中。以下设计注意事项应该会在决策过程中提供充分的帮助，不过最终选择取决于成本和系统时钟要求。

两个无需外部引脚片上振荡器 (INTOSC1 和 INTOSC2) 以 10MHz 的频率运行，可用于为主 PLL 和 CPU 定时器 2 提供时钟。此外，INTOSC1 还可以为看门狗模块提供时钟。上电时，INTOSC2 自动设为系统参考时钟源，INTOSC1 则作为备用时钟，可在主时钟失效时无缝切换，增强系统可靠性。该时钟选项对于优先考虑节省成本和缩短设计周期的设计非常有用。与外部时钟源相比，该决策的不足是精度较低。内部振荡器频率稳定性受环境(温度/电压)影响，典型 10MHz 下偏差为 $\pm 1.5\% \sim 3\%$ ，低于外部晶体(通常 $\pm 0.1\%$ 以下)。

GPIO18*及其多路复用器选项只能在系统由 INTOSC 计时且 X1 具有外部下拉电阻时使用。除了两个无需外部引脚片上振荡器外，还支持三种类型的外部时钟源：

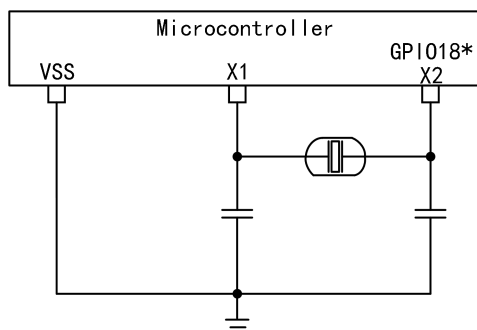
- (1) 单端 3.3V 外部时钟。时钟信号应连接到 X1，且 XTALCR.SE 位设置为 1。

图 6 单端 3.3V 外部时钟



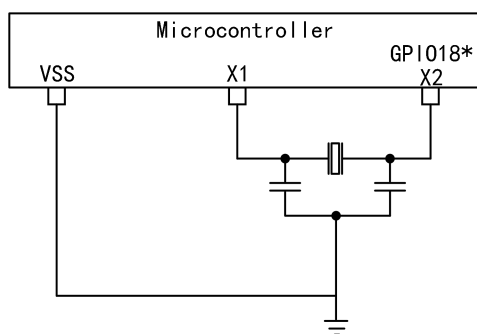
- (2) 外部晶体。晶体应连接在 X1 和 X2 之间，其负载电容器连接至 VSS。

图 7 外部晶体



- (3) 外部谐振器。谐振器应连接在 X1 和 X2 之间，且其接地端连接至 VSS。

图 8 外部谐振器



3.6 调试与仿真

G32R501 系列提供了丰富的调试、跟踪和测试功能。它们采用标准的 Arm® CoreSight™模块配置，并通过菊花链标准 TAP 控制器实现连接。调试和跟踪功能集成在 Arm® Cortex®-M52 中。调试系统支持串行线调试（SWD）和跟踪功能，除了标准的 JTAG 调试之外。调试和跟踪功能参考以下文档：《Arm China 处理器技术参考手册》。

JTAG（IEEE 标准 1149.1-1990 标准测试访问端口和边界扫描架构）端口有四个专用引脚：TMS、TDI、TDO 和 TCK。cJTAG（针对简化引脚和增强功能测试访问端口以及边界扫描架构的 IEEE

标准 1149.7-2009) 端口, 是一个只需要两个引脚 (TMS 和 TCK) 的紧凑型 JTAG 接口, 此接口可实现多路复用为传统 GPIO35 (TDI) 和 GPIO37 (TDO) 引脚的其他器件功能。

通常情况下, MCU 目标和 JTAG 接头之间的距离建议不超过 15cm, 并且 JTAG 链上没有其他器件时, JTAG 信号上不需要缓冲器。否则, 每个信号都应被缓冲。此外, 对于大多数 10MHz 下的 JTAG 调试探针操作, JTAG 信号上不需要串联电阻器。但是, 如果需要高仿真速度 (35MHz 左右), 则应在每个 JTAG 信号上串联 22 Ω 电阻。

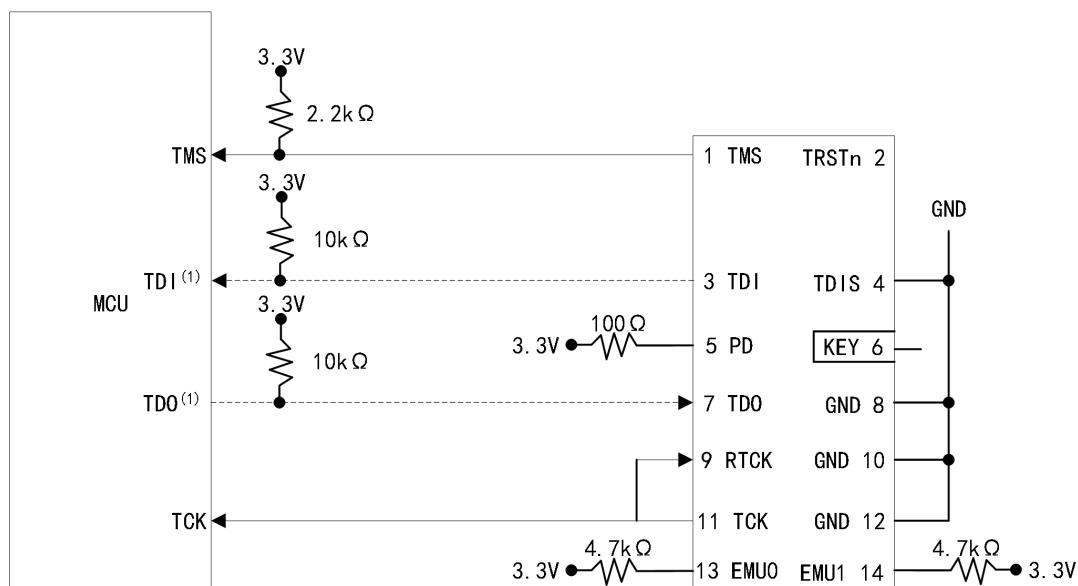
JTAG 调试探针头的 PD (电源检测) 端子应连接到电路板 3.3V 电源。接头 GND 终端应连接至电路板接地。TDIS (电缆断开感应) 也应连接至电路板接地。JTAG 时钟应从接头 TCK 输出终端环回到接头的 RTCK 输入终端 (以通过 JTAG 调试探针检测时钟连续性)。此 MCU 不支持 14 引脚和 20 引脚仿真接头上的 EMU0 和 EMU1 信号。这些信号应始终通过一对 2.2k Ω 至 4.7k Ω (取决于调试器端口的驱动强度) 的板载上拉电阻在仿真接头处上拉。通常使用 2.2k Ω 的阻值。

接头终端复位是 JTAG 调试探针接头的开漏输出, 通过 JTAG 调试探针命令使电路板元件复位 (仅通过 20 引脚 接头可用)。

JTAG 测试数据输入 (TDI) 是引脚的默认多路复用器选择。默认情况下, 内部上拉处于禁用状态。如果此引脚被用作 JTAG TDI, 应该启用内部上拉电阻器或在电路板上增加一个外部上拉电阻器来避免悬空输入。在 cJTAG 选项中, 此引脚可用作 GPIO。

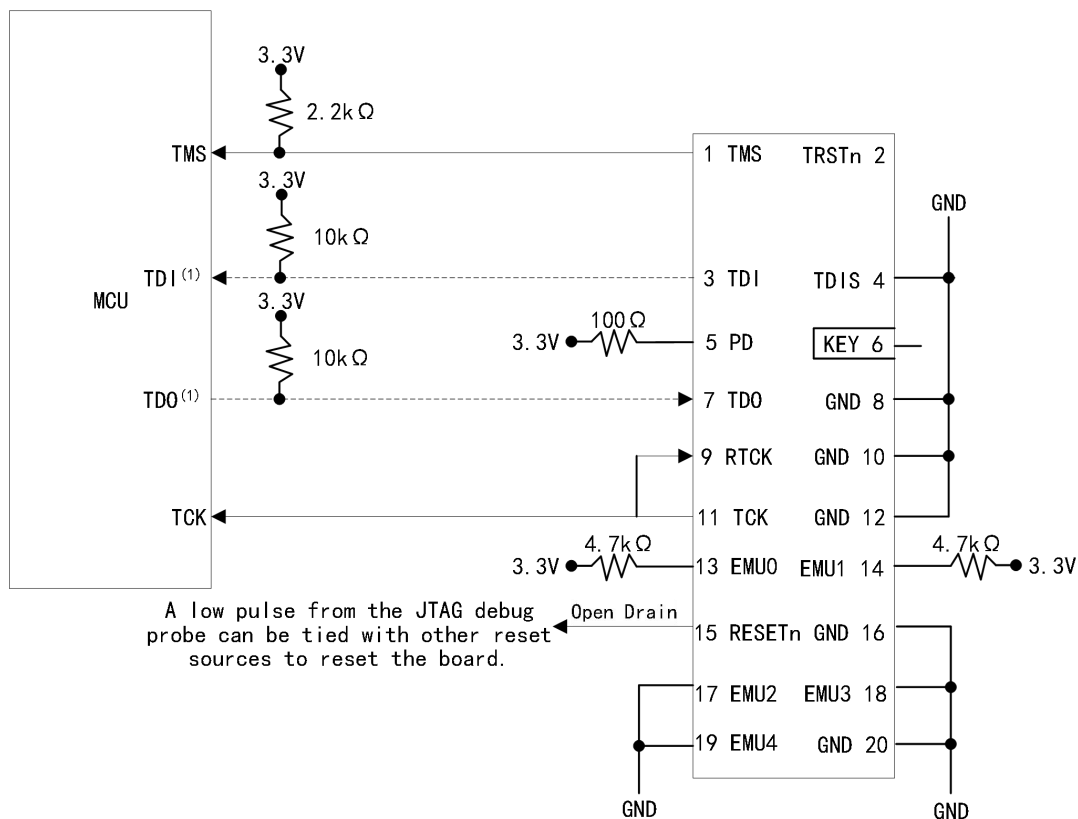
JTAG 测试数据输出 (TDO) 是引脚的默认多路复用器选择。默认情况下, 内部上拉处于禁用状态。当没有 JTAG 活动时, TDO 函数将处于三态条件, 使此引脚悬空。应启用内部上拉或在电路板上添加外部上拉, 以避免 GPIO 输入悬空。在 cJTAG 选项中, 此引脚可用作 GPIO。

图 9 连接到 14 号引脚 JTAG 接头



注意: cJTAG 选项不需要 TDI 和 TDO 连接, 这些引脚可用作 GPIO。

图 10 连接到 20 号引脚 JTAG 接头



注意: cJTAG 选项不需要 TDI 和 TDO 连接, 这些引脚可用作 GPIO。

3.7 未使用的引脚处理

对于不需要使用器件所有功能的应用, 下表列出了对任何未使用引脚的可接受条件。当列出了多个选项时, 任何选项都可接受。

表格 4 未使用引脚得到连接

信号名称	可接受的做法
模拟	
带有 DACx_OUT 的模拟输入引脚	无连接 通过 4.7kΩ 或更大的电阻连接到 VSSA
模拟输入引脚 (DACx_OUT 除外)	无连接 绑定到 VSSA 通过电阻连接到 VSSA
VREFHlx	连接至 VDDA (仅在应用中未使用 ADC 或 DAC 时适用)
VREFLOx	绑定到 VSSA
数字	
GPIOx	无连接 (启用内部上拉的输入模式)

信号名称	可接受的做法
	无连接（禁用内部上拉的输出模式） 上拉或下拉电阻（任意值电阻，输入模式，禁用内部上拉）
GPIO35/TDI	选择 TDI 多路复用器选项（默认）时，GPIO 处于输入模式。 启用内部上拉电阻 外部上拉电阻
GPIO37/TDO	当 TDO 复用选项被选中时（默认），GPIO 只在 JTAG 活动期间处于输出模式；否则，它处于三态条件。必须对该引脚进行偏置，以避免在输入缓冲器上产生额外电流。 启用内部上拉电阻 外部上拉电阻
TCK	无连接 上拉电阻
TMS	上拉电阻
VREGENZ	连接到 VSS
X1	连接到 VSS
GPIO18/X2	关闭 XTAL 并： 启用内部上拉的输入模式 外部上拉或者下拉电阻（输入模式） 禁用内部上拉的输出模式
电源和接地	
VDD	所有 VDD 引脚必须按照“引脚信号说明”章节所述进行连接。
VDDA	如果未使用专用模拟电源，则连接到 VDDIO。
VDDIO	所有 VDDIO 引脚必须按照“引脚信号说明”章节所述进行连接。
VSS	所有 VSS 引脚必须连接到电路板接地。
VSSIO	始终连接到 VSS。
VSSA	如果未使用模拟接地，则连接到 VSS。

4 PCB 布局设计参考

创建系统原理图并验证其是否正确设计且符合所有工程规格后，下一步是在您的首选 PCB 设计软件中创建 PCB 布局。元件的放置对于实现良好的设计和良好的器件性能而言至关重要。

4.1 布局设计介绍

如原理图设计中对所有连接进行布线之外，也必须采用良好的布局实践来确保电路板的正常功能和可靠性。电路板的所有方面（包括物理尺寸、电路板限制和关键元件）都应该得到全面考虑。

4.1.1 建议的布局实践

G32R501 整个系统通常包括以下电路：低电平模拟电路、高速数字电路和高功率（开关）电路。这三种不同类型的信号应在 PCB 上相互分离。高电流路径和高频信号对电路板上的任何模拟信号尤其具有破坏性。

4.1.2 电路板尺寸

电路板的尺寸高度依赖于正在构建的系统和 **G32R501** 正在实施的应用。从由少数器件组成的小型板到具有大量元件的大型板，PCB 板具有广泛的范围。如果可能，分配足够大的 PCB 以使布局设计过程尽可能简单，并有助于布线和分离不同类型的信号。

4.1.3 PCB 分层

电路板层数和层堆栈的选择取决于 PCB 上所需的连接数量以及 PCB 的生产成本。4 层或更多层电路板通常是 **G32R501** 器件的最佳选择。这使设计人员能够实现干净的接地平面和分割的电源平面。在配置方面，使用了两个图来展示常见的 4 层和 6 层电路板堆栈。4 层电路板堆栈包括信号/元件层、接地平面、分割的电源平面（3.3V、1.1V 等）和信号/元件层。对于 6 层电路板，堆栈如下：信号/元件层、接地平面、分割的电源平面（3.3V、1.1V 等）、信号层、另一个接地平面和信号/元件层。

图 11 4 层电路板的层堆栈

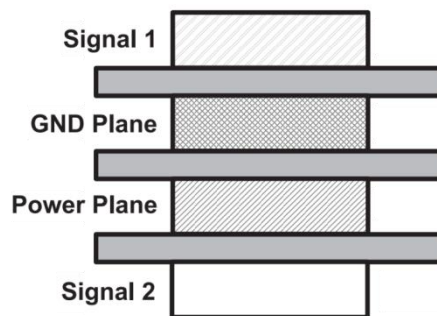
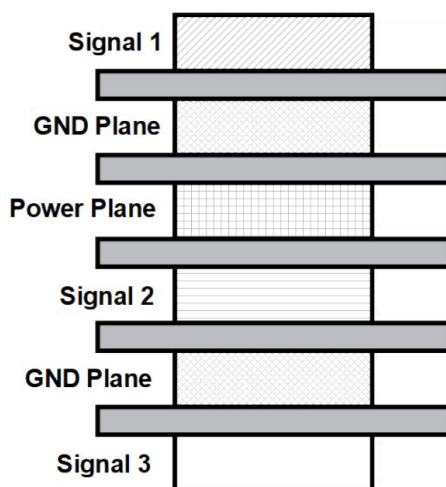


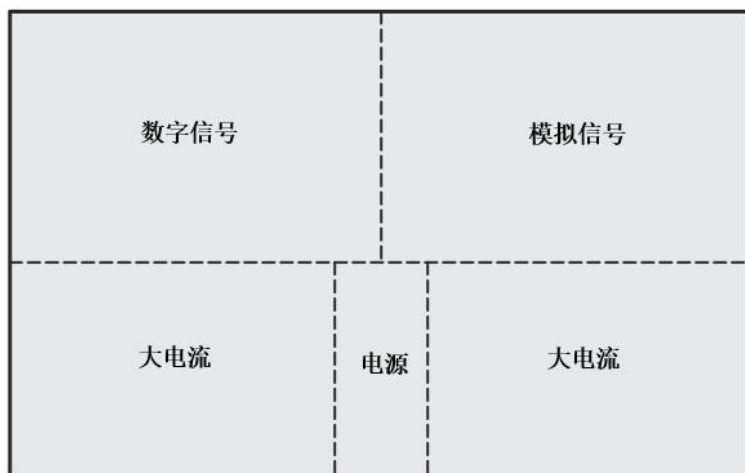
图 12 6 层电路板的层堆栈



4.2 建议的电路板布局布线

为了确保电路板上布置的信号不会出现任何串扰或性能下降，一个好的做法是对电路板进行分区，类似于图 13 中所示。如前所述，PCB 上的四种信号（电源、数字、模拟和大电流）都应相互分离。

图 13 理想的电路板分区



4.3 元器件的放置

在电路板上确定 G32R501 芯片的位置之后，下一个应该放置的元件是晶体/振荡器。应将其放置在尽可能靠近器件的位置，以确保实现最有效的时钟解决方案。具体而言，到 X1/X2 的引线应尽可能短。根据所使用的特定晶体所需的额外元件，可以通过不同的方式在电路板上对晶体/谐振器进行布线。当进行器件间时钟迹线的布线时，可尝试使用 3W 间隔规则。时钟迹线的中心至任意邻近信号迹线中心的距离应至少为时钟迹线宽度的 3 倍。许多时钟，其中包括低频时钟，可具有很快的上升和下降时间。采用 3W 规则可削减迹线间的串扰。一般来说，器件间并行的走线之间

也应当保持一定的空间。避免采用直角来布置走线，以大大减少走线长度及阻抗的不连续性。要进一步保护器件不受串扰影响，尽可能地在时钟信号线旁侧布置保护迹线（GND 引脚至 GND 引脚）。这样可以减少时钟信号耦合。

要放置的下一个最重要的元件是去耦/旁路电容器。这些电容器应尽可能靠近各自的引脚放置，从而进一步降低噪声并有助于确保器件的电源稳定。距离引脚超过一英寸的去耦电容器性能较差。另一方面，大容量电容器可放置在离芯片相对较远的位置，而不会对其性能产生重大影响。

后面应该跟随的其它元件是 JTAG /cJTAG 接头/电路和 XRSn 电路。

4.3.1 电力电子元件注意事项

电力电子元件的噪音非常大，会严重影响器件的性能。这些元件及其信号相对于其他类型信号的放置是一个重要的考虑因素。任何高电流路径应设计为具有小的环路面积。任何高 di/dt 电流都不应穿过其他 di/dt 路径、任何敏感模拟信号或控制电路或任何测试点。任何电流检测运算放大器都可以采用两种方式进行放置。它们可以放置在分流器旁边，靠近 G32R501 芯片进行低通滤波并连接到模拟地 (VSSA)。或者，也可以放置在 G32R501 芯片旁边，并以差分方式路由到使用开尔文检测的运算放大器。

另一个注意事项是，散热器可能具有高 dV/dt ，应从外部接地。将散热器布线至电路板地可能会使散热器带电。任何栅极驱动器都应靠近 FET。

4.4 接地层

PCB 上的铜平面是出色的高频电容器，可与建议的电容器一起用于高频旁路。实心平面的另一个好处是它们可以充当良好的散热器，以降低过高的热水平。

如果电路板有足够多的层，那么一个良好的做法是在 PCB 上布置一个接地平面。该接地平面不仅有助于在电路板上路由接地信号，还有助于降低接地噪声。电路板上的每个信号都有一个返回电流（通过 GND），这可以确保返回路径通过阻抗最小的路径。对于在不同层上具有多个接地平面的电路板，采用过孔拼接来连接这些接地平面并进一步更大限度地降低阻抗非常有用。

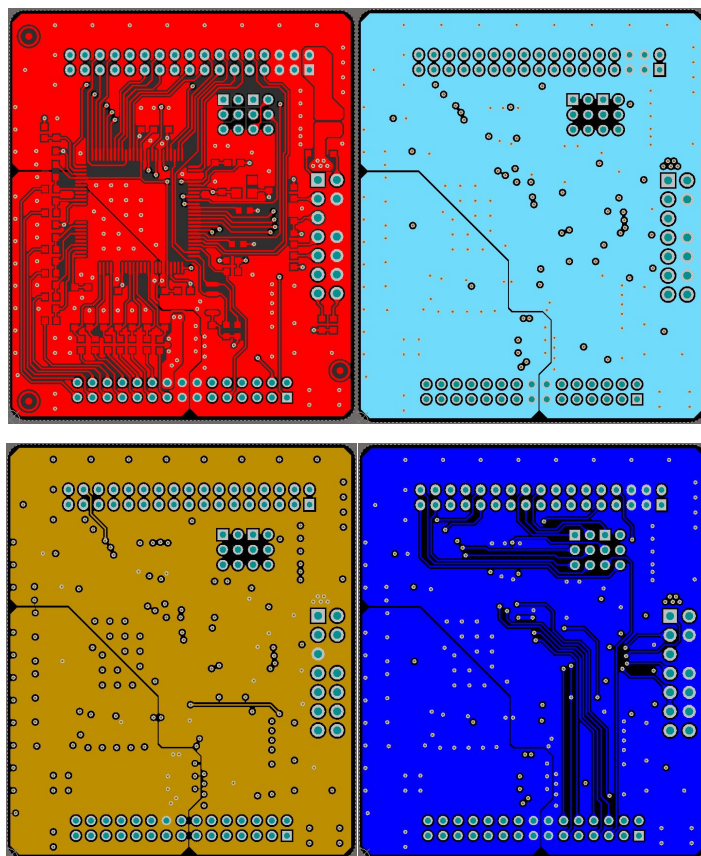
4.5 模拟信号与数字信号设计

再次重申，将模拟地和数字地（及其电源）分开是一种很好的做法。不过，如果做得不好，可能会导致性能下降。模拟/数字分离的优势在于，它可确保信号不会跨越隔离边界，除非跨越的信号是静态的。分离的信号应仅在一点连接，理想情况下是信号源。这种连接可以是铁氧体磁珠、简单的电阻器，甚至是平面中的断点。请注意，铁氧体磁珠提供可忽略的电容和低直流电阻。在选择使用铁氧体磁珠时，应进行适当的仿真，确保铁氧体磁珠能够正确滤除噪声并且不限制流向器件的电流。如果无法实现适当的模拟和数字分离，设计人员应考虑仅使用一个接地平面。

G32R501 器件设计为具有一个“模拟角”，该器件的所有模拟引脚都位于此处。这些 ADC 输入中的许多输入源通常来自设计中的电力电子器件部分。该区域通常是电路板中噪声最大的部分，会严重影响模拟性能。最好使模拟地面积小并靠近 G32R501 芯片，防止噪声影响器件的 ADC。正确地减小模拟地平面的尺寸会减少噪声拾取。

下面展示了一个模拟/数字分离示例。

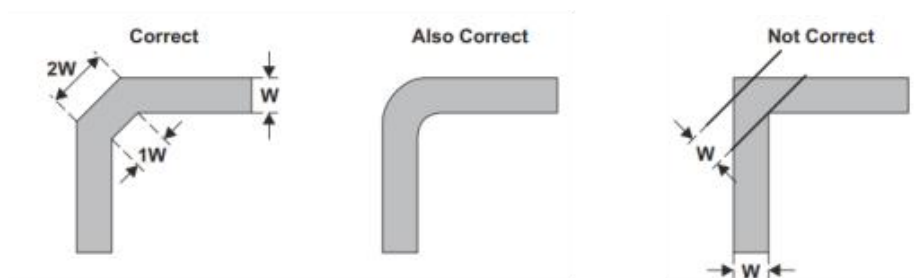
图 14 4 层 PCB 模拟信号和数字信号的分割图



4.6 信号布线的引线和过孔设计

为了实现适当的信号布线,请确保所有引线都不会以 90° 角弯曲。尽管这在大多数 PCB 设计软件中会自动设置,但在所有引线中确认该属性是一种良好的做法。引线应以最大 45° 角弯曲布置,或尽可能沿曲线布置,可减少沿引线的反射和特性阻抗变化,从而减少辐射。这是因为直角会导致拐角区域的电容增加,从而导致阻抗变化,进而导致反射。此外,一个好的做法是使相邻层上的信号彼此垂直(成 90° 角)。这可以减少信号间的串扰并确保信号间的干扰最小。在引线之间留出足够的间距也可以减少串扰,尤其是对于上升/下降时间较短的信号。

图 15 适当的信号布线引线



4.7 散热处理注意事项

对于每个 G32R501，其热特性和温度规格限制都有详细记录。超出数据表建议的任何最大功率耗散的系统和最终产品可能需要在设计中加入额外的散热。主要的散热考虑因素是结温 (T_J)。应仔细测试该规格，使其保持在绝对和建议限制范围内。这样做可确保器件在整个寿命期间保持可靠且功能正常运行。另一个散热考虑因素是环境温度 (T_A)，不过这取决于最终应用环境和产品设计。

为了通过 PCB 板设计最大程度地减小 T_J ，设计系统时应确保板到环境热阻很小。GND 和电源引脚是器件散热的主要方法。因此，如果器件具有散热焊盘引脚，请确保其连接到 PCB 上的大面积覆铜区。在大多数封装中，散热焊盘将连接到器件内部的 GND 或从外部连接到 GND。同样，请确保任何 GND 和电源焊盘与实心平面有良好的连接，并且任何过孔都靠近 G32R501 器件。

5 ESD 和 EOS、EMI/EMC 注意事项

5.1 静电放电

电荷的积累可能会导致器件在运行过程中发生静电放电（ESD）。在处理和存储这些微控制器时需要特别小心。所有 G32R501 器件均经过测试：HBM 符合 ANSI/ESDA/JEDEC JS-001 标准（1），CDM 符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002（2）。

表格 5 ESD 绝对最大额定值

符号	参数	条件	引脚	范围	单位	
100 引脚						
V (ESD)	静电放电	<u>人体放电模型 (HBM)</u>	符合 ANSI/ESDA/JEDEC JS-001 标准 (1)		±4000	V
		充电器件模型 (CDM)	符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002 (2)	所有引脚	±1000	
80 引脚						
V (ESD)	静电放电	<u>人体放电模型 (HBM)</u>	符合 ANSI/ESDA/JEDEC JS-001 标准 (1)		±4000	V
		充电器件模型 (CDM)	符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002 (2)	所有引脚	±1000	
64 引脚						
V (ESD)	静电放电	<u>人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 (1)</u>			±4000	V
		充电器件模型 (CDM)	符合 JEDEC 规范 JESD22-C101 或 ANSI/ESDA/JEDEC JS-002 (2)	所有引脚	±1000	
56 引脚						
V (ESD)	静电放电	<u>人体放电模型 (HBM)</u>	符合 ANSI/ESDA/JEDEC JS-001 标准 (1)		±4000	V
		<u>充电器件模型 (CDM)</u>	符合 JEDEC 规范 JESD22-C101 或 ANSI/ ESDA/JEDEC JS-002 (2)		±1000	

电源电压干扰或静电放电（ESD）可能使器件进入未知状态。因此，采用良好的 PCB 布局非常重要，以确保优异的噪声和 ESD 性能。此外，可以在 cJTAG 引脚上使用类似的 ESD 保护二极管。尽量将关键引脚（如 cJTAG、XRS、X1、X2）的环路面积减小。如果设计中需要将任何引脚（如 GPIO）连接到外部连接器，请务必通过添加 ESD 保护元件来谨慎处理 ESD 问题。在某些情况下，可能需要采用机械方法（例如金属屏蔽或重新布线等）来增强 ESD 保护。使用这些外部 ESD 保护器件时，请务必严格遵循特定器件数据表中所提供的布局指南，以确保其有效性。

5.2 电磁兼容性和电磁干扰

电磁兼容性 (EMC) 描述了电子元件在其他系统的干扰下正常工作的能力。其中，最需要考虑的

是电磁干扰 (EMI)，即器件和其他附近器件发出的射频能量。这种干扰可以通过传导和辐射传播并影响器件。

因此，在设计系统时，务必确保电路板通过辐射和传导发出的 EMI 不超过规定标准允许的最大值。硬件设计人员 应努力将辐射和传导 EMI 降至远低于认证限值的水平。同样，该电路板的设计应具有足够的屏蔽，从而即使在接触周围其他系统的辐射和传导电磁能量时也能正常工作。

系统中的大多数元件（包括 PCB、连接器、电缆等）都是 EMI 的来源。尤其是在设计使用高频及快速开关电流和电压的电路板时，所有布线基本上都充当辐射电磁能量的天线。五个主要的辐射源是：在布线上传播的数字信号、电流返回环路区域、不充分的电源滤波或去耦、传输线路的影响以及电源平面和接地平面缺失。快速开关时钟、外部总线和 PWM 信号用作控制输出，用于开关电源中。电源是 EMI 的另一个主要来源。射频信号可从电路板的一个部分传播到另一个部分，从而增加 EMI。开关电源辐射的能量可能会导致无法通过 EMI 测试。

为了减少电路板及其元件产生的任何有害 EMI，请在整个原理图和布局设计过程中遵循以下指南：

- 使用具有不同容值的多个去耦电容器和适当的电源去耦技术。请注意，每个电容器都有一个自谐振频率。
- 在电源上使用合乎需要的滤波电容器。这些电容器和去耦电容器应具有低等效串联电感 (ESL)。
- 如果布线层上有可用空间，则创建接地平面。使用过孔将这些接地区域连接到接地平面；创建四分之一英寸的过孔栅格是理想之选。
- 高频信号（低位地址线、时钟信号、串行端口等）通常由 CMOS 输入端接，该输入是大于 100K 的并联负载，通常为 10pF。此类负载的充电/放电会导致高电流峰值。一种可能的解决方法是添加一个串联端接电阻器（约 50Ω），通过对其微调来实现理想的信号完整性。根据传输线路理论，如果总输出电阻（内部 + 外部）小于线路阻抗（通常为 70Ω–120Ω），则不会对速度产生负面影响。通常，如果时序不是很关键，可以通过添加串联端接电阻器来缩短信号的上升时间。采用这种方法能够以低成本获得巨大的好处。
- 通常，驱动三相 H 桥开关的 PWM 信号会导致电流尖峰。与非对称 PWM 相比，对称 PWM 可将与 dU/dt 和 di/dt 相关的 EMI 降低大概 66%。空间矢量 PWM 相对于 PWM 周期也是对称的。不过，由于在一个 PWM 周期内只有两个晶体管进行开关，因此与对称 PWM 相比，开关损耗和 EMI 辐射降低了 30%。
- 使电流环路尽可能小。尽可能多地添加所需的去耦电容器。始终应用电流返回规则来减少环路面积。
- 使高速信号远离其他信号，尤其是远离输入和输出端口或连接器。
- 应用电流返回规则将接地连接在一起，同时隔离模拟部分的接地平面。如果工程不使用 ADC 且没有模拟电路，请勿隔离地。
- 避免使用铁氧体磁珠连接分割的地。在高频率下，铁氧体磁珠具有高阻抗并在平面或 PC 板叠层之间产生较大的接地电位差，因此应添加尽可能多的电源平面和接地平面。使电源平面和接地平面彼此相邻，确保实现阻抗低或固有电容大的叠层。

- 对所有进出系统的信号使用抑制 EMI 的 π 型滤波器。
- 如果系统未通过 EMI 测试, 则通过追踪未通过的频率源来寻找原因。例如, 假设设计在 300MHz 时失败, 但电路板上没有任何元件以该频率运行。则原因可能是 100MHz 信号产生了三次谐波。
- 确定未通过的频率是共模还是差模。拆下连接到系统的所有电缆。如果辐射发生变化, 则为共模。如果未发生变化, 则为差模。找到原因后, 使用端接或去耦技术来降低辐射。如果是共模, 则向输入和输出添加 π 型滤波器。在电缆上添加共模扼流圈是一种有效的解决方案, 但这种降低 EMI 的方法具有很高的成本。

6 版本历史

表格 6 文件版本历史

日期	版本	变更历史
2025.4	1.0	新建

声明

本手册由珠海极海半导体有限公司（以下简称“极海”）制订并发布，所列内容均受商标、著作权、软件著作权相关法律法规保护，极海保留随时更正、修改本手册的权利。使用极海产品前请仔细阅读本手册，一旦使用产品则表明您（以下称“用户”）已知悉并接受本手册的所有内容。用户必须按照相关法律法规和本手册的要求使用极海产品。

1、权利所有

本手册仅应当被用于与极海所提供的对应型号的芯片产品、软件产品搭配使用，未经极海许可，任何单位或个人均不得以任何理由或方式对本手册的全部或部分内容进行复制、抄录、修改、编辑或传播。

本手册中所列带有“®”或“™”的“极海”或“Geehy”字样或图形均为极海的商标，其他在极海产品上显示的产品或服务名称均为其各自所有者的财产。

2、无知识产权许可

极海拥有本手册所涉及的全部权利、所有权及知识产权。

极海不应因销售、分发极海产品及本手册而被视为将任何知识产权的许可或权利明示或默示地授予用户。

如果本手册中涉及任何第三方的产品、服务或知识产权，不应被视为极海授权用户使用前述第三方产品、服务或知识产权，也不应被视为极海对第三方产品、服务或知识产权提供任何形式的保证，包括但不限于任何第三方知识产权的非侵权保证，除非极海在销售订单或销售合同中另有约定。

3、版本更新

用户在下单购买极海产品时可获取相应产品的最新版的手册。

如果本手册中所述的内容与极海产品不一致的，应以极海销售订单或销售合同中的约定为准。

4、信息可靠性

本手册相关数据经极海实验室或合作的第三方测试机构批量测试获得，但本手册相关数据难免会出现校正笔误或因测试环境差异所导致的误差，因此用户应当理解，极海对本手册中可能出现的该等错误无需承担任何责任。本手册相关数据仅用于指导用户作为性能参数参照，不构成极海对任何产品性能方面的保证。

用户应根据自身需求选择合适的极海产品，并对极海产品的应用适用性进行有效验证和测试，以确认极海产品满足用户自身的需求、相应标准、安全或其它可靠性要求；若因用户未充分对极海产品进行有效验证和测试而致使用户损失的，极海不承担任何责任。

5、合规要求

用户在使用本手册及所搭配的极海产品时，应遵守当地所适用的所有法律法规。用户应了解产品可能受到产品供应商、极海、极海经销商及用户所在地等各国有关出口、再出口或其它法律的限制，用户（代表其本身、子公司及关联企业）应同意并保证遵守所有关于取得极海产品及/或技术与直接产品的出口和再出口适用法律与法规。

6、免责声明

本手册由极海“按原样”（as is）提供，在适用法律所允许的范围内，极海不提供任何形式的明示或暗示担保，包括但不限于对产品适销性和特定用途适用性的担保。

极海产品并非设计、授权或担保适合用于军事、生命保障系统、污染控制或有害物质管理系统中的关键部件，亦非设计、授权或担保适合用于在产品失效或故障时可导致人员受伤、死亡、财产或环境损害的应用。

如果产品未标明“汽车级”，则表示不适用于汽车应用。如果用户对产品的应用超出极海提供的规格、应用领域、规范，极海不承担任何责任。

用户应该确保对产品的应用符合相应标准以及功能安全、信息安全、环境标准等要求。用户对极海产品的选择和使用负全部的责任。对于用户后续在针对极海产品进行设计、使用的过程中所引起的任何纠纷，极海概不承担责任。

7、责任限制

在任何情况下，除非适用法律要求或书面同意，否则极海和/或以“按原样”形式提供本手册及产品的任何第三方均不承担损害赔偿责任，包括任何一般、特殊因使用或无法使用本手册及产品而产生的直接、间接或附带损害（包括但不限于数据丢失或数据不准确，或用户或第三方遭受的损失），这涵盖了可能导致的人身安全、财产或环境损害等情况，对于这些损害极海概不承担责任。

8、适用范围

本手册的信息用以取代本手册所有早期版本所提供的信息。

©2025 珠海极海半导体有限公司 – 保留所有权利